Family list

1 family member for: JP62209514

Derived from 1 application

ACTIVE MATRIX SUBSTRATE

Inventor: MANO TOSHIHIKO; MIYASAKA

Applicant: SEIKO EPSON CORP

TSUGUMITSU

EC:

IPC: G02F1/136; G02F1/1368; G02F1/1362 (+4

Publication info: JP62209514 A - 1987-09-14

Data supplied from the esp@cenet database - Worldwide

English Translation of JP 62-209514

(19) Japan Patent Office (JP)

(12) Laid-Open Disclosure Public Patent Bulletin (A)

(11) Patent Application Laid-Open Disclosure No.: S62-209514

(43) Publication Date: September 14, 1987

(51) Int. Cl.⁴ Identification Symbol JPO File Number

G02F 1/133 327 8025-2H

G09F 9/30 6731-5C

Request for Examination: Not made

Number of Claims: 1 (3 Pages in Total)

(54) Title of the Invention: Active Matrix Substrate

(21) Patent Application No.: S61-52844

(22) Patent Application Date: March 11, 1986

(72) Inventor: Toshihiko MANO

c/o Seiko Epson Corporation

3-3-5, Yamato, Suwa-shi

(72) Inventor: Tsugumitsu MIYASAKA

c/o Seiko Epson Corporation

3-3-5, Yamato, Suwa-shi

(71) Applicant: Seiko Epson Corporation

2-4-1, Nishi-Shinjuku, Shinjuku-ku, Tokyo

(74) Agent: Patent Attorney: Mogami Tsutomu, and one other

Specification

Title of the Invention

Active Matrix Substrate

Scope of Claim

An active matrix substrate characterized by comprising:

- a) a plurality of gate lines;
- b) a plurality of source lines orthogonal to the plurality of gate lines;
- c) a thin film transistor having a thin film semiconductor layer formed at an intersection of the gate line and the source line;
 - d) a pixel electrode formed at a drain side of the thin film transistor,

wherein the source line is made of two layers of the gate line material and the pixel electrode material.

Detailed Description of the Invention

[Industrial Field of the Invention]

The present invention aims at reducing a wiring resistance, especially by providing a two-layer source line in an active matrix substrate used in a liquid crystal display device, and so forth.

[Prior Art]

FIG. 2(a) shows a plan view of one pixel of the conventional active matrix substrate. Also, FIG. 2(b) shows a cross sectional view shown by the broken line A'B' in FIG. 2(a). An explanation is made in accordance with the drawings.

An island-like semiconductor thin film layer 201 is formed over an insulating substrate 200 such as a glass or quartz. After forming a gate insulating film over the semiconductor thin film layer, a gate line 202 also serving as a gate electrode is formed. After that, source and drain regions are formed by, for example, an ion implantation method or the like. Next, an interlayer insulating film 203 is formed over an entire surface, and a contact hole 204 is provided. Finally, a transparent conductive film such as ITO is formed by a sputtering method, etc., and a source line and a pixel electrode are formed by patterning.

The processes and the structure of the conventional active matrix substrate have been shown above.

[Problem to be Solved by the Invention]

However, in the conventional structural processes, since the source line is formed of the same material as the pixel electrode, a sheet resistance becomes higher, so that a wiring resistance of the source line becomes higher. For example, when ITO is used while keeping its transparency of 80% or more, the sheet resistance is $10\text{-}20~\Omega/\Box$, which is one to two digits higher than that of metal materials such as Al. If the ITO is used as the source line, the wiring resistance will be several dozen $k\Omega$ though it depends on L/W. High wiring resistance in the source line can cause insufficient contrast and resolution of a liquid crystal display device since sufficient signals cannot be written in. Further, when a metal wiring having a lower sheet resistance is used, the number of processes increases, which can lead to cost increase.

The present invention aims at decreasing the source line without increasing the number of processes by removing the above disadvantages. Concretely, a material used for a gate line is formed in a source line region excluding a region intersecting the gate line at the PE process, and finally, the source line made of pixel electrode material such as ITO is formed of two-layer structure having contacts with the material.

[Means for Solving the Problem]

The active matrix substrate of the present invention typically comprises:

- 1) a plurality of gate lines;
- 2) a plurality of source lines orthogonal to the plurality of gate lines;
- 3) a thin film transistor having a thin film semiconductor layer formed at an intersection of the gate line and the source line;
 - 4) a pixel electrode formed at a drain side of the thin film transistor,

wherein the source line is made of two layers of the gate line material and the pixel electrode material.

[Embodiment]

The active matrix substrate of the present invention is basically shown by a plan view and a cross sectional view in FIGS. 1(a) and (b). Here, 100 is an insulating substrate such as a glass or

quartz; 101 is a semiconductor thin film constituting a thin film transistor; 102 is a gate line; 102' is a first layer of the two-layer source line, which has the same material as the gate line; 103 is an interlayer insulating film; 104 is a contact hole formed in the interlayer insulating film; 105' is a transparent conductive film such as ITO constituting a pixel electrode; 105 is a second layer of the source line made of the same material as the pixel electrode. Here, FIG. 1(a) shows a plan view of one pixel and FIG 1(b) shows a cross sectional view shown by the broken line AB in FIG. 1(a). FIG. 3 is explained as follows in accordance with process orders.

First, an island-like semiconductor thin film 101 such as polycrystalline silicon is formed over an insulating substrate 100 such as a glass or quartz. A gate insulating film 101' is formed thereon by a thermal oxidation, etc (FIG 3(a)).

Next, a gate wiring 102 and a first layer of a source line 102' are formed of polycrystalline silicon or the like having an impurity of H-type (or P-type), and source / drain regions are formed by an ion implantation method, etc (FIG. 3(b)).

Next, an interlayer insulating film 103 such as HSG or PSG is formed over an entire surface, and then a contact hole 104 is formed at the source / drain regions and on the first layer of the source line (FIG. 3(c)).

Finally, a pixel electrode 105' and the second layer of the source line 105 are formed of a transparent conductive film such as ITO (FIG. 3(d)).

The structure and the manufacturing process of the active matrix substrate in accordance with the present invention have been shown above.

[Effect of the Invention]

The effect of the present invention is that it is possible to lower the wiring resistance by increasing one step and making the source wiring the two-layer structure, and actually, the wiring resistance reduced by about 50% compared to the conventional wiring resistance. As a result, the problems such as insufficient contrast and resolution when used in a liquid crystal display were eliminated.

Brief Description of Drawings

FIG. 1 is a plan view (a) and a cross sectional view (b) of one pixel of the active matrix substrate in accordance with the present invention.

FIG. 2 is a plan view (a) and a cross sectional view (b) of one pixel of a conventional active matrix substrate.

FIGS. 3(a) to (d) show a cross sectional view of each process in accordance with the present invention.

100 ~ insulating substrate

101 ~ semiconductor thin film

101' ~ gate insulating film

102 ~ gate line

102' ~ first layer of source line

103 ~ interlayer insulating film

104 ~ contact hole

105 ~ second layer of source line

105' ~ pixel electrode

g 日本国特許庁(JP)

40 特許出願公開

母公開特許公報(A)

昭62-209514

@Int.Cl.*

織別記号

庁内整理番号

❷公開 昭和62年(1987)9月14日

G 02 F 1/133 G 09 F 9/30

327

6731-5C

審査請求 未請求 発明の数 1 (全3頁)

49発明の名称

アクティブマトリクス基板

動特 顧 昭61-52844

金出 阿昭61(1986)3月11日

砂路 明 者、 真野

敏 彦

諏訪市大和3丁目3番5号 セイコーエブソン株式会社内

②発明者 宮坂 維光 の出間人 セイコーエプソン株式 諏訪市大和3丁目3番5号 セイコーエブソン株式会社内 東京都新宿区西新宿2丁目4番1号

会社

19代理人 井理士 最上

外1名

. . .

発明の名称

アクティブマトリクス当収

神許師求の範囲

4)複数のゲート線

5)政ゲート旅に直交する収取のソース部

e)粒ゲート線と数ソース値の交点に形成される

| 複製半導作権を有する非製トランジスタ

d)放存装トランジスタのドレイン側に形成され

る資業電腦

以上の知く様式されるアクテイプマトリクス当 板に於いて、放ソースラインは、放ゲート線付料 と、放送業電差付料の3分から式ることを特象と するアクテイプマトリクス当板。

発明の評価な説明

(遺像上の利用分野)

本条明は、液晶炎示臭量等に用いられるアタティブマトリタス装板に於いて、特にソース数を 2

着にすることにより、配線抵抗の係後も取ったものである。

(花米の技術)

世来のアクテイブマトリクス並板の1期素分の 平面配を称2個似に示す。又、同面に於いてA'3' の欲敵で示す所質弱を称2個())に示す。別様に使って説明する。

ガラス、石芸等の色数筋板200上に島伏に単導体帯製備201を形成する。ゲート地類製を数半体帯製上に形成した姿、ゲート電影を兼ねるゲート線202を形成する。しかる姿、胸えだイオン往入姿等によりソース・ドレイン製食を形成し、コンタクトホール204を開ける。敏優にエエロ等の透明神経験を、スパッタ法等で形成し、ソース級、画楽電腦をペターン形成する。

以上が発来のアクティブマトリクス当板の工程。 及び構造である。

【発明が解決しようとする関項点】・

しかし世米の排泄工程では、ソース能を領崇電

特原昭62-209514 (2)

そなで本発明は以上の如き欠点をなくし、工程を増すことなしに、ソースラインの低級を図るなどを目的とする。 具本的には、ゲート線に用いる材料をPと工程時に、ゲート線と交流する似状以外のソース級質域に形成し、放着的にエなり等の 高米電影材料で形成するソース級とコンタットを 有する2場配業構造にするものである。

(間報点を解決する為の手数)

は経開結構製に形成されるコンタクトホール、1 05"は耐景電医を構成するエテロ等の透明導電製、 105は、蓄米電質と関一材料で形成される2様 目のソース線である。とこで第一触似は一個素分 の平面型であり、第一般的は第一数回に於けるA 3の数数で栄力断距型である。

以下工程順に従って、報る因に於いて説明する。 まず、ガラス、石英等の絶縁が収100上に、 多維基シリコン等の半導体が収101を身体に形成する。その上に勘数化等によるゲート絶極質1 01を形成する(図3階似)

次に、日型(あるいは下型)の不純物を有する多 組品シリコン等により、ゲート記載102,及び 一般目のソースライン102を形象、その使イオ ン注入決呼によりソース。ドレイン質値を形成す る。(無3組例)

次だ耳ョロ、ドョロ等の補間熱級103を全型だ形成、しかる後、ソース・ドレイン値域、及び 1個目のソース線上にコンタタンホール104を 形成する。(第3個回) 本務明のアクテイプマトリクス基板は、具体的 には、

- 1) 彼 飲 の ゲ ー ト 線
- 2)なゲート銀に直交する複数のソース線
- 3)はゲート線とロソース線の交点に形成される 移観半導体組を有する際観トランジスタ
- 4)鉄業製トランジスタのドレイン個化形成される磁楽電圧

以上から終収されるアクテイブマトリクス無板 であり、数ソースラインは、値が一ト報材料と版 画家監監材料の2種構造であることを特徴とする ものである。

(実施別)

本張明によるアクティブマトリクス高級は、基本的には第1回句。例に示す、平面包、及び断面包から改る。ととで、100はガラス、石英等の他欲高級。101は、雑数トランジスタを辨収する半導体経験、102は、ゲート線、102はゲート線と同一体界である。2世ソース線構造の1場合であり、103は樹間心機能である。104

最後に、エアロ等の選択等電軽により、原素電 配105',2以目のソースライン105を形式する。(第3四位)

以上が、本籍明によるアクティブマトリタス芸術 の、解准及び製造方法である。

(発明の効果)

本発明の効果は、工程を増すことは1 だ。ソース銀を2 屋構造にすることだより、配額を抗を小さくできることであり、実際に従来の配線を抗を約50 5 小さくすることができた。その検集、液晶表示装置に用いた即の、コントラスト不足、溶像及不足の間端をなくすことができた。

歯値の耐単な説明

第1因は本発明のアッティブマトリッス基板の 一貫米分を示す平面図(A)と、新図図(A)である。

第2階は従来のアタティブマトリタス非板の一 選択分を示す中面を似と、断面を向である。

#3区紀~役は本発券の工程ととの所函図を示したものである。

特期昭62-209514 (3)

100~納金宝板 101~半導体影響

101~ゲ~ト絶保護

102~ゲート数 102~1曜日のソース値

198~培育肥保険

104~コンタクトホール

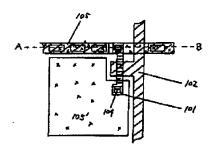
106~2番目のソース#

105~高度電腦

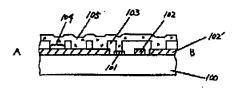
DK L

出 絵 人 セイコーエブソン株式会社

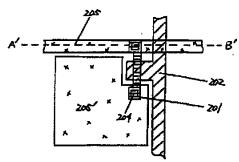
代租人 弁別士 址 上 務 位1名



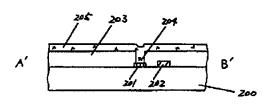
名1図四



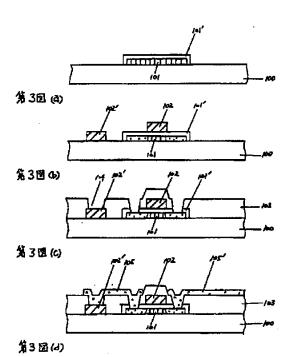
第1回 (b)



第2团团)



第2四(4)



--85--